

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 57097626 A

(43) Date of publication of application: 17.06.1982

(51) Int. Cl. H01L 21/30

(21) Application number: 55174009

(22) Date of filing: 09.12.1980

(71) Applicant: MATSUSHITA ELECTRONICS
CORP

(72) Inventor: INOUE ISAMU

(54) MANUFACTURE OF SEMICONDUCTOR
DEVICE

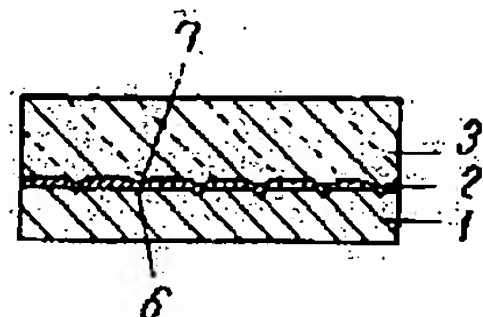
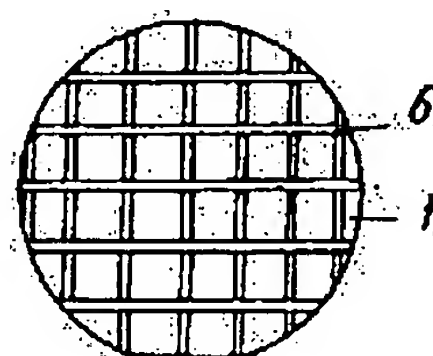
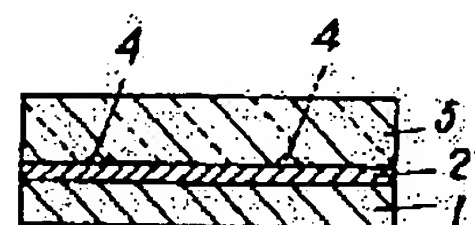
posure and development treatment is enhanced.

COPYRIGHT: (C) 1982 JPO & Japio

(57) Abstract:

PURPOSE: To obtain a distinct pattern of a semiconductor device by a method wherein after grooves for evacuation of gas are formed on the scribing region of a semiconductor substrate, the photolithography process is performed.

CONSTITUTION: After a photo resist film 2' is formed on the semiconductor substrate 1, baking treatment is performed thereto, and after a photo mask 5 for formation of scribe lines is arranged thereon, exposure and development treatment are performed to form a pattern. Then etching treatment is performed to form the grooves 6. Then by performing the photolithography process, the desired pattern is formed. Accordingly because remaining gas between the mask 5 and the film 2' is evacuated through the grooves 6, adhesion between the film 2 and the photo mask 3 is unified, and definition of the pattern to be obtained by later ex-



⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭57—97626

⑬ Int. Cl.³
H 01 L 21/30

識別記号

庁内整理番号
7131—5F

⑭ 公開 昭和57年(1982)6月17日

発明の数 1
審査請求 未請求

(全 3 頁)

⑮ 半導体装置の製造方法

門真市大字門真1006番地松下電
子工業株式会社内

⑯ 特 願 昭55—174009

⑰ 出 願 人 松下電子工業株式会社

⑱ 出 願 昭55(1980)12月9日

門真市大字門真1006番地

⑲ 発 明 者 井上勇

⑳ 代 理 人 弁理士 中尾敏男 外 1 名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板上へ半導体素子形成用パターンを形成するホトリソグラフィ処理を施すにあたり、同処理に先行させて前記半導体基板のスクライブ領域上に気体排出用の溝を形成し、こののち前記ホトリソグラフィ処理を施し、所定のパターン形成をなすことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

本発明は半導体装置の製造方法に関し、半導体基板上に塗布されたホトレジスト膜と、同ホトレジスト膜上に密着配置されるホトマスクとの密着性を高め、鮮明なパターン形成を行うことのできる半導体装置の製造方法を提供することを目的とする。

ホトリソグラフィ処理により半導体基板上に所定のパターンを形成するにあたり、従来は、半導

2.
体基板上へネガタイプあるいはポジタイプのホトレジストを全面塗布し、このホトレジストに密着付けのための熱処理を施したのち、ホトレジスト上にパターン形成用のマスクを密着させて配置し、さらに露光、現像の処理を施すことにより所定のパターンを形成することが行われていた。この処理により鮮明なパターンを得るためには、半導体基板上に形成されたホトレジスト膜と、この上に配置されるパターン形成用のマスクとが全域において均一な密着状態に保たれていることが必要である。

しかしながら、ホトレジスト膜上へパターン形成用のマスクを配置した場合、両者の密着状態は中心和附近よりも周辺部において早く成立し、第1図で示すように、半導体基板1の上に形成したホトレジスト膜2とパターン形成用マスク3との間に気体4が閉じ込められ、このため、両者間には密着状態の成立していない部分ができる。このような部分が存在する状態の下で露光、現像処理を施した場合には、均一なパターンを形成すること

3
ができず、パターンの鮮明度が著るしく低下する
かかるパターンは、鮮明度の低下は、パターン精度
の要求される半導体装置の製作に際して大きな障
害となる。

本発明は、以上説明した従来の方法における不
都合の排除を意図してなされたものであり、本発
明の特徴はホトリソグラフィ処理に先だって半導
体基板のスクライプ領域上に気体排出用の溝を形
成し、どののち、ホトリソグラフィ処理を施し所
定のパターンを形成するところにある。

以下に図面を参照して本発明の製造方法につい
て詳しく説明する。

第2図は、本発明の特徴である半導体基板のスク
ライプ領域上への溝の形成処理を示す図であり
図示するように半導体基板1の上へホトレジスト
膜2を形成したのち、これに焼き付け処理を施し
さらにこの上へスクライプライン形成用のホトマ
スク3を配置したのち、露光、現像処理を施しパ
ターン形成を行う。このパターンは直線状である
ばかりかパターン形状も大きく、この処理では気

5
現像処理によって得られるパターンの鮮明度は飛
躍的に向上する。

以上説明したところから明らかなように、本発
明によれば、鮮明なパターンを得ることが可能で
あり、特に気体の残留が顕著となり易い大口径の
半導体ウェーハに対するホトリソグラフィ処理に
好適である。また、気体の残留による影響が大き
くなる微細パターンをもつ半導体装置に適用して
もその効果は極めて大きい。さらに、本発明によ
ればパターンのくずれも少くなるため、半導体基
板の利用率が高まり、歩留りを向上させる効果も
奏される。

4. 図面の簡単な説明

第1図は従来の方法の下でのホトレジスト膜と
パターン形成用のホトマスクの密着状態を示す図
第2図～第4図は本発明の製造方法を説明するた
めの工程図である。

1 ……半導体基板、2、2' ……ホトレジスト
膜、3 ……パターン形成用のホトマスク、4
……残留気体、5 ……スクライプライン形成

特開昭57-97626(2)
体の残留が生じても殆んど問題とはならない。

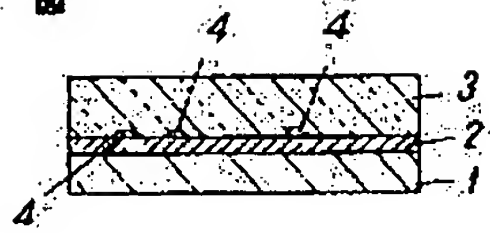
次いでエッチング処理を施すことにより、スク
ライプ領域部分に所定の深さの溝を形成する。
第3図は、上記の処理を経たのちの半導体基板を
示す平面図であり、図示するように、スクライプ
領域部分に溝6が形成されている。

次いで、目的とするパターンの形成をなすので
あるが、このパターン形成は、第1図で示した従
来の方法と同一の方法を駆使してなされる。第4
図は、この状態を示す図であり、図示するように
半導体基板1の上に形成したホトレジスト膜2に
は、半導体基板1に形成した溝6に対応して凹状
溝7が形成され、しかも、この凹状溝7は、その
端部が半導体基板1の側面にまで至っているため、
この上にホトマスク3を配置した場合、たとえ周
辺部から両者の密着状態が成立しても、これらの
間に存在する気体は凹状溝7を通して確実に外部
へ排出される。したがって、ホトレジスト膜2と
ホトマスク3との密着状態は、対向面の全域にわ
たって均一化されるところとなり、この後の露光、

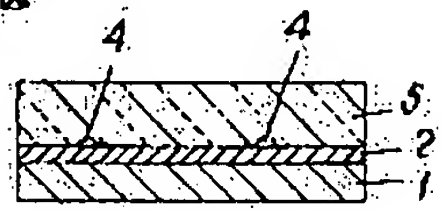
6
用のホトマスク、6 ……溝、7 ……凹状溝。

代理人の氏名 弁理士 中 尾 敬 男 ほか4名

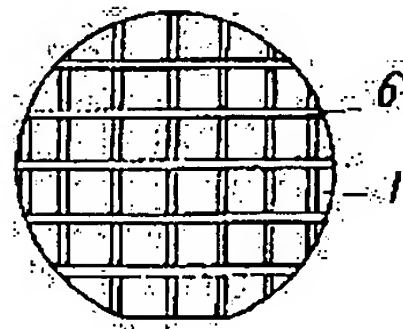
第 1 図



第 2 図



第 3 図



第 4 図

